

BEST AVAILABLE COPY

JAPAN PATENT OFFICE

UTILITY MODEL LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.
S.62-117633

*quoted
ref
(10)*

Laid-Open
S.62 (1987) July 25

Title of Invention: ROM with Low-power Circuit

Application No.: S.61-4643

Filed: S.61 (1986) Jan. 16

Inventor: Yukio Amano
Yasuhiko Mizushima
5-33-1, Shiba, Minato-ku, Tokyo
NEC Corporation

Applicant: NEC Corporation
5-33-1, Shiba, Minato-ku, Tokyo

Attorneys, Agents: Susumu Uchihara

THIS PAGE BLANK (USPTO)

The power consumption of the ROM can be reduced with the first mode whereby the ROM data is transferred to the data RAM by turning on the ROM power supply, and with the second mode whereby the RAM data is read with the ROM power supply turned off.

THIS PAGE BLANK (USPTO)

3/用文献10

JP-Y-62-117633

公開実用 昭和62- 117633

④ 日本国特許庁(JP)

①実用新案出願公開

④ 公開実用新案公報(U) 昭62-117633

⑤Int. Cl. ¹	識別記号	庁内整理番号	⑥公開 昭和62年(1987)7月25日
G 06 F 1/00	1 0 2	E-7157-5B	
		G-7157-5B	
	3 2 0	7343-5B	
G 11 C 15/06	3 1 1	6549-5B	
G 11 C 7/00			審査請求 未請求 (全 頁)

④考案の名称 低消費電力化回路付ROM

⑦実 願 昭61-4643

⑧出 願 昭61(1986)1月16日

⑨考 案 者	天 野 幸 男	東京都港区芝5丁目33番1号 日本電気株式会社内
⑩考 案 者	水 島 泰 彦	東京都港区芝5丁目33番1号 日本電気株式会社内
⑪出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号
⑫代 理 人	弁理士 内 原 晋	

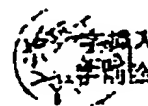
明 細 書

1. 発案の名称

低消費電力化回路付ROM

実用新案登録

2. 特許請求の範囲



第1または第2のモードであることを示すモード信号を出力するモード信号発生手段と、

転送用アドレス信号を出力するカウンタ部と、

モード信号により制御され第1のモードには転送用アドレス信号を出力し、第2のモードには外部からのアドレス信号を出力するアドレス切換部と、

モード信号により制御され、第1のモードには電源が接続され、カウンタ部がアドレス切換部を介して出力するアドレス信号を入力し記憶内容が順次、読出され、第2のモードには電源が切断されるROM部と、

第1のモードにはカウンタ部がアドレス切換部を介して出力するアドレス信号を入力して前記ROM部から読出された情報が順次、格納され、第2のモードにはアドレス切換部が出力する前記外

実開62-115533

1

372

公開実用 昭和62- 117633

部からのアドレス信号を入力し、該アドレス信号が指示するアドレスの内容が読出されるデータ用RAM部と、

モード信号により制御され、第1のモードには不動作状態になり、第2のモードにはイネーブル状態になり、データ用RAM部から読出された情報を外部に出力するバッファを有する低消費電力化回路付ROM。

3. 考案の詳細な説明

(産業上の利用分野)

本考案は、マイクロプロセッサのプログラム内容等を記憶する記憶回路に関する。

(従来技術)

従来、マイクロプロセッサのプログラム等はROMに記憶され、そのROM記憶内容を使用してマイクロプロセッサを動作させていた。

(考案が解決しようとする問題点)

上述した従来ROMを使用した記憶装置ではROM自体の消費電力が大きいので、規模の大きいプログラム等を記憶するために複数のROMを使

生
活

用する場合には、記憶装置全体の消費電力が非常に大きなものになってしまうという欠点がある。
〔問題点を解決するための手段〕

本考案の低消費電力化回路付ROMは、第1または第2のモードであることを示すモード信号を出力するモード信号発生手段と、転送用アドレス信号を出力するカウンタ部と、モード信号により制御され、第1のモードには転送用アドレス信号を出力し、第2のモードには外部からのアドレス信号を出力するアドレス切換部と、モード信号により制御され、第1のモードには電源が接続され、カウンタ部がアドレス切換部を介して出力するアドレス信号を入力し、記憶内容が順次読出され、第2のモードには電源が切断されるROM部と、第1のモードにはカウンタ部がアドレス切換部を介して出力するアドレス信号を入力して、ROM部から読出された情報が順次格納され、第2のモードにはアドレス切換部が出力する前記外部からのアドレス信号を入力し、該外部アドレス信号が指示するアドレスの内容が読み出されるデータ用RAM

部と、モード信号により制御され、第1のモードは不動作状態になり、第2のモードにはデータ用RAM部から読出された情報を外部に出力するバッファを有する。

このように、第1のモードにはROM部の電源をオンにして、ROM部の内容をデータ用RAM部に転送し、第2のモードにはROM部の電源をオフにして、データ用RAM部の内容を読出すことによってROM部の消費電力を少なくすることができる。

(実施例)

次に、本考案の実施例について図面を参照して説明する。

第1図は、本考案の低消費電力化回路付ROMの第1の実施例のブロック図、第2図は、第1図の実施例の動作を示す各信号のタイムチャートである。

アドレス切換部2は、モード信号14がハイレベルのとき(データ転送モード)、カウンタ部1が出力する転送用アドレス信号10を内部アドレス信号11として出力し、モード信号14がローレベルの

とき（運用モード）は、内部アドレス信号11として外部からのアドレス信号9を出力する。ROM部3は転送モードにおいては電源が接続され、内部アドレス信号11が指示するアドレスの記憶内容が内部データ信号12として順次、読出され、運用モードにおいては電源から切断される。データ用RAM部4は内部アドレス信号11が指示するアドレスにデータが書込まれ、または内部アドレス信号11が指示するアドレスに格納されたデータが読出される。バッファ8は運用モードにおいては、イネーブル状態となってデータ用RAM部4から読出されたデータ信号15が外部データ信号16として出力され、データ転送モードにおいては、前記動作がインヒビットされる。

次に本実施例の動作を第2図を参照して説明する。

初期時刻 t_1 にROM部3の記憶内容をデータ用RAM4へ転送するためにモード信号14をハイレベルとする。これによりROM部3がオンとなり、同時にバッファ8をインヒビットして、データ信

仕
録

公開実用 昭和62- 117633

号15が外部データ信号16として出力されないようにされる。また、アドレス切換部2が切換られて、カウンタ部1からの転送用アドレス信号10が内部アドレス信号11となる。この状態で、カウンタ部1からROM部3およびデータ用RAM部4にアドレス切換部2を介して出力された内部アドレス信号11がゼロからnまで1ずつ増加すると、ROM部3の記憶内容は内部データ信号12経由ですべてデータ用RAM部4へ転送される。

時刻 t_2 にROM部3の記憶内容がすべてデータ用RAM部4へ転送された後、モード信号14はローレベルになり、運用モードとなる。

運用モードでは、まずモード信号14によりアドレス切換部2が切換えられて、外部アドレス信号9が内部アドレス信号11となる。また、ROM部3は電源がオフにされる。同時にバッファ8はイネーブル状態になり、データ信号15が外部データ信号16として出力される状態になる。この後、内部アドレス信号11経由で外部アドレス信号9により指定された番地のデータ用RAM部4の記憶内容

がバッファ8経由で外部データ信号16として出力される。

第3図は、本考案の低消費電力化回路付ROMの第2の実施例のブロック図である。

本実施例は、第1の実施例にデータ用RAM部4の記憶内容にチェックビットを付加するためのチェック用RAM部5、エンコーダ6およびデコーダ7を設けたものである。

データ転送モードには、ROM部3の記憶内容がエンコーダ6に入力されチェックビットを作成し、その内容がチェック用RAM部5へ格納される。そして運用モードには、内部アドレス信号11経由で外部アドレス信号9により指定された番地のデータ用RAM部4の記憶内容およびチェック信号13としてチェック用RAM部5の記憶内容がデコーダ7へ入力される。デコーダ7ではデータ用RAM部4の記憶内容の良否がチェックされ、良であればデータ用RAM部4の記憶内容がバッファ8を経由して外部データ信号16として出力される。もしデコーダ7でのチェック結果が否の場合に

社
印
7

378

公開実用 昭和62- 117633

は、データ用RAM部4の記憶内容は外部データ信号16として出力されず、データ転送モードへ再度移行するためのエラー検出信号17が時刻 t_3 にデコーダ7より出力される。

(考案の効果)

以上説明とたように本考案は、第1のモードのみROMの電源を接続し、ROMの記憶内容をRAMへ転送しその後は、ROMの電源を切断し、RAMの記憶内容を使用することにより、ROMのみを使用した従来のものより消費電力を小さくできる効果がある。

4. 図面の簡単な説明

第1図は本考案の低消費電力化回路付ROMの第1の実施例のブロック図、第2図は本考案の低消費電力化回路付ROMの実施例の動作を示す各信号のタイムチャート、第3図は本考案の低消費電力化回路付ROMの第2の実施例のブロック図である。

1 --- カウンタ部、 2 --- アドレス切換部、
3 --- ROM部、 4 --- データ用RAM部、



379

- 5 --- チェック用RAM 部、
6 --- エンコーダ、 7 --- デコーダ、
8 --- バッファ、 9 --- 外部アドレス信号
10 --- 転送用アドレス信号、
11 --- 内部アドレス信号、
12 --- 内部データ信号、
13 --- チェック信号、 14 --- モード信号、
15 --- データ信号、 16 --- 外部データ信号、
17 --- エラー検出信号。

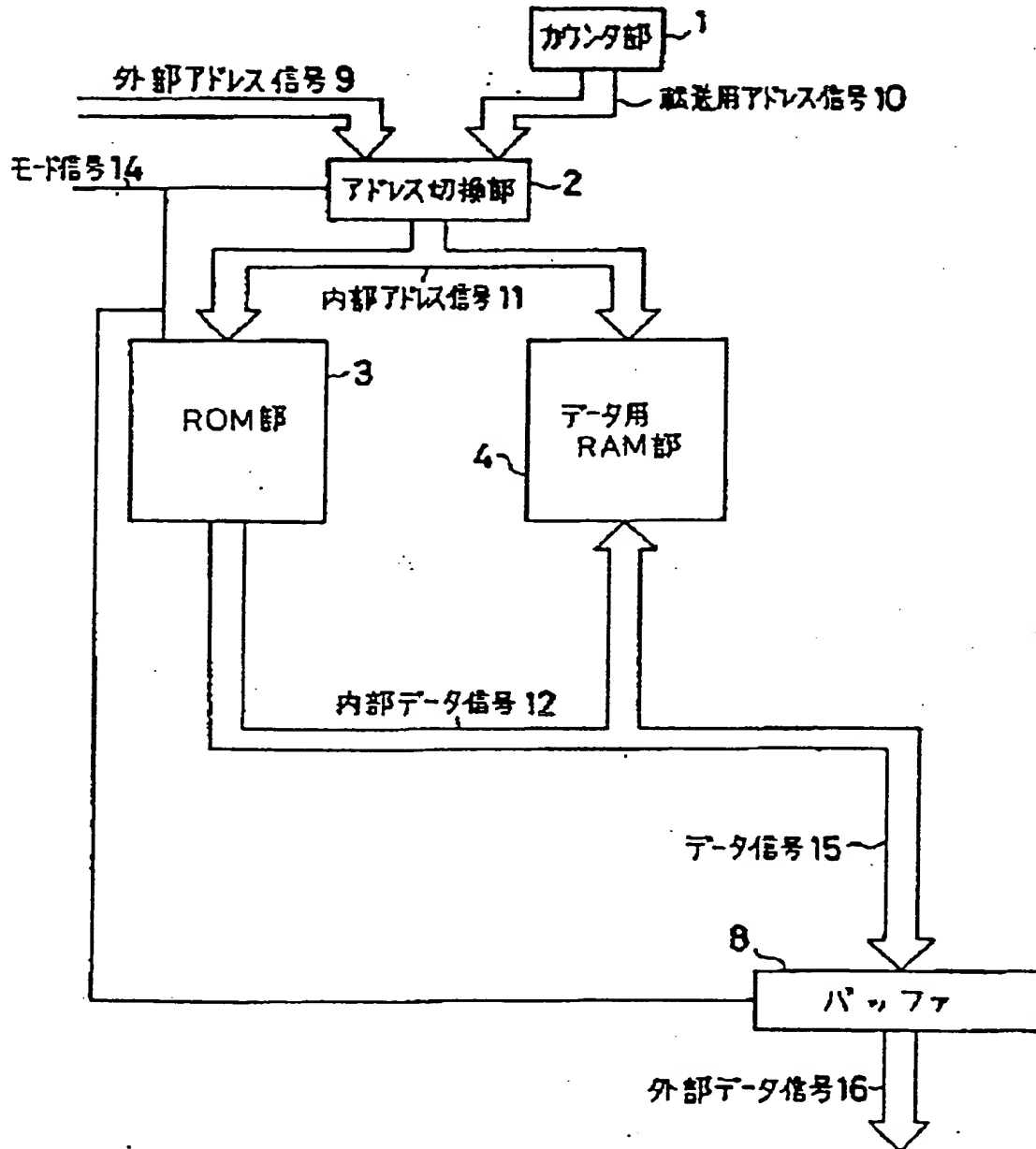
実用新案登録出願人 日本電気株式会社
代理人 弁理士 内 原



380



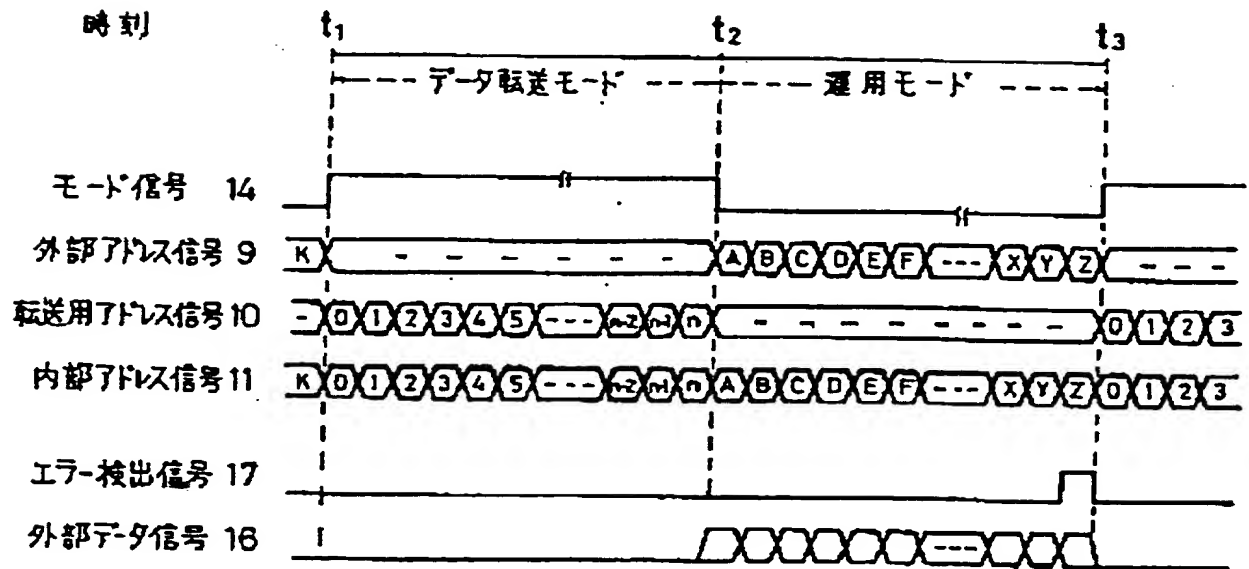
公開実用 昭和62- 117633



第 1 図

381 実開62-117633

代理人 内 原 晋

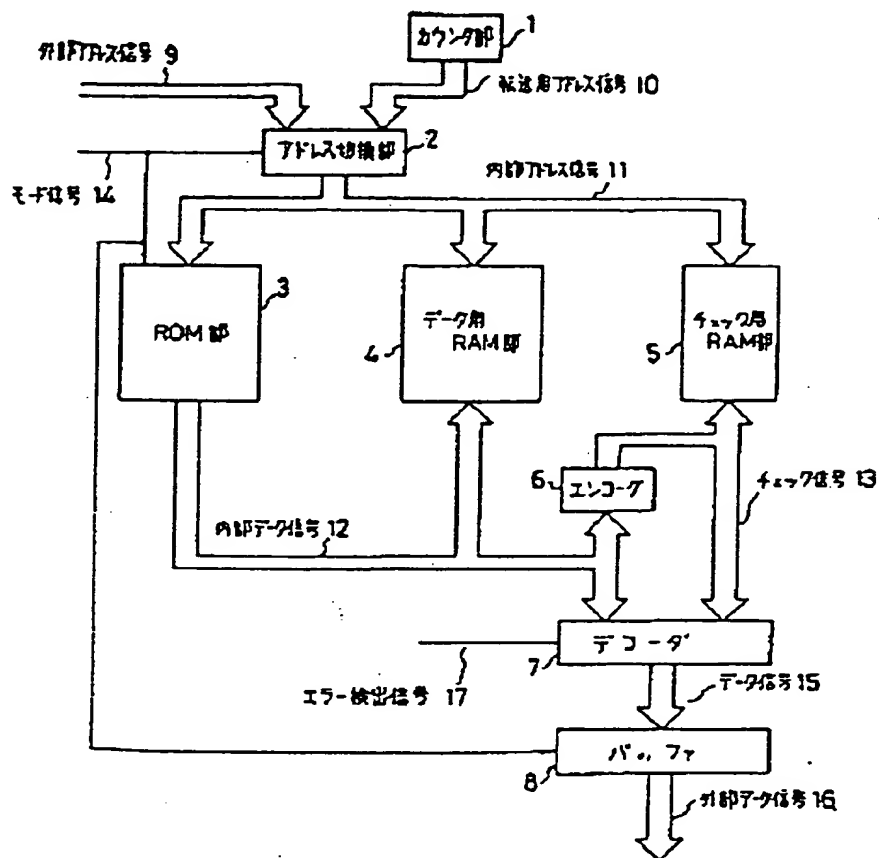


第 2 図

382 実開62-1176

代理人 内 原 晋

公開実用 昭和62- 117633



第 3 図

383

代理人 内 房 晋
実用62-117633

THIS PAGE BLANK (USPTO)

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**

THIS PAGE BLANK (USPTO)